

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-239486

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)9月25日

G 01 R 31/28
G 06 F 11/22

3 1 0

V-6912-2G
F-7368-5B

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 出力応答圧縮器

⑯ 特 願 昭63-66500

⑰ 出 願 昭63(1988)3月18日

⑱ 発 明 者 吉 田 正 昭 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

出力応答圧縮器

特許請求の範囲

複数の出力線からの出力応答を同時に圧縮する多入力線型掃進シフトレジスタ型の出力応答圧縮器において、

前記複数の出力線のうちの1つの出力線からの出力応答を選択的に前記多入力線型掃進シフトレジスタの初段に入力する第1の選択手段と、

前記複数の出力線から前記任意の1つを除いた残りの出力線からの出力応答のそれぞれを前記多入力線型掃進シフトレジスタの初段以外の各段に入力するか否かを選択する第2の選択手段とを設けたことを特徴とする多入力線型掃進シフトレジスタ型の出力応答圧縮器。

発明の詳細な説明

〔産業上の利用分野〕

本発明は出力応答圧縮器、特に集積回路の論理機能試験が容易となり、かつ極めて複雑な集積回路でも試験可能となる様に集積回路自体に組み込まれた出力応答圧縮器に関する。

〔従来の技術〕

高度に集積化され、かつ複雑化した集積回路の論理機能テストを容易にする1つの方法は、テストすべき集積回路内部にテストパターン発生器及びテスト出力評価部等のテスト機構を組み込んでしまうことである。この様にすることにより、集積回路内部に埋め込まれて外部端子から直接アクセスできず、テストすることが困難であった部分の回路も、容易に論理機能テストを行なうことができる。

ところで、テスト機構を集積回路に組み込む場合、膨大な出力応答を逐一期待値と比較することは不可能なので、出力応答を圧縮し、圧縮した出力応答を期待値と比較するという方法が採られる。

特開平1-239486 (2)

この出力応答圧縮器はテスト出力評価部の重要な部分を占める論理回路ブロックであるが、1979年に開催された国際テスト会議 (International Test Conference) の論文集37ページ〜41ページに "BUILT-IN LOGIC BLOCK OBSERVATION TECHNIQUES" と題して報告された論文に示された多入力符号解析器が、よく用いられる。

この多入力符号解析器は、線型帰還シフトレジスタの各段に入力を入れられる様にしたもので、4ビットの多入力符号解析器の例の概略ブロック図を示す。

第2図は、被テスト回路 (図示せず) からの出力が D_0 、 D_1 、 D_2 、 D_3 の4ビットである場合を示しており、あるサイクルにおける被テスト回路の各出力 D_1 、 D_2 、 D_3 は排他的論理和回路 (以下EXORゲートと記す) 26、27、28に入力され、フリップフロップ21、22、23の各出力との排他的論理和演算後、フリップフロップ22、23、24に入力される。また被テスト回路の出力 D_0 はEXORゲート25に入力

され、フリップフロップ23と24との排他的論理和演算後、フリップフロップ21に入力される。

そして、次のサイクルで被テスト回路の各出力 D_0 、 D_1 、 D_2 、 D_3 も全く同様にしてフリップフロップ21、22、23、24に各々入力され、以後同じ動作が繰り返される。従って、被テスト回路からの出力が何パターンあっても、結果は4ビットに圧縮されることになり、期待値も4ビットで良く、テストのために付加するハードウェア量が少なくてすむ。

(発明が解決しようとする課題)

しかしながら、上述の出力応答圧縮器においては、被テスト回路からの出力 D_0 、 D_1 、 D_2 、 D_3 全てを同時に圧縮しているため、被テスト回路全体の良否の判定はできても、もっと詳細な故障箇所に関する情報は全く得られず、不良解析が出来ないという問題点を有する。

本発明の目的は、上記の従来技術の問題点を排除し、より詳細な故障箇所に関する情報が得られ

る出力応答圧縮器を提供することにある。

(課題を解決するための手段)

本発明の出力応答圧縮器は、複数の出力線からの出力応答を同時に圧縮する多入力線型帰還シフトレジスタ型の出力応答圧縮器において、

前記複数の出力線のうちの1つの出力線からの出力応答を選択的に前記多入力線型帰還シフトレジスタの初段に入力する第1の選択手段と、

前記複数の出力線から前記任意の1つを除いた残りの出力線からの出力応答のそれぞれを前記多入力線型帰還シフトレジスタの初段以外の各段に入力するか否かを選択する第2の選択手段とを設けたことを特徴とする。

(作用)

本発明は、上記構成を採用することにより従来技術における問題点を解消している。すなわち、従来技術は全出力同時圧縮しかできないので、被テスト回路全体の良否判定しか出来ないが、本発明は、被テスト回路の各出力を1つずつ圧縮することも可能にすることで、より詳細な故障箇所

に関する情報が得られる。

(実施例)

以下、図面を参照しながら本発明を詳細に説明する。

第1図は、本発明の典型的な一実施例を示す構成図である。

本実施例は被テスト回路 (図示省略) からの出力が4ビットで、これを圧縮する出力応答圧縮器の段数も同一である場合を示しているが、本発明はこれに限定されるものではなく、出力応答圧縮器の段数が被テスト回路の出力数よりも多くてもかまわないのは言うまでもない。

さて、第1図に示した出力応答圧縮器は、被テスト回路からの出力 D_0 、 D_1 、 D_2 、 D_3 に対応する4つのフリップフロップ1、2、3、4と、各フリップフロップに対応する4つのEXORゲート5、6、7、8と、その出力がそれぞれEXOR6、7、8の一方の入力となるANDゲート10、11、12と、マルチプレクサ13とから成り、制御信号C2を切り換えることにより、2

特開平1-239486 (3)

種類の出力応答圧縮器として動作する。

1つは被テスト回路からの全出力 $D_0 \sim D_3$ を同時に圧縮する従来と同様の出力応答圧縮器であり、もう1つは被テスト回路からの出力 $D_0 \sim D_3$ のうちの任意の1つの出力のみを圧縮する出力応答圧縮器である。

制御信号C2を論理“1”のレベルに設定すると、ANDゲート10、11、12は被テスト回路からの出力 D_1 、 D_2 、 D_3 を出力し、EXORゲート6、7、8にそれぞれ入力する。従ってフリップフロップ2、3、4には前段のフリップフロップ1、2、3と被テスト回路からの出力 D_1 、 D_2 、 D_3 とのそれぞれ排他的論理和が入力されることになる。

そして、この時制御信号C1を、マルチプレクサ13が被テスト回路からの出力 D_0 、 D_1 、 D_2 、 D_3 のうち出力 D_0 を出力する様に設定すると、EXORゲート5には被テスト回路からの出力 D_0 が入力され、フリップフロップ1には、フリップフロップ3、4と、この出力 D_0 の排他

的論理和が入力されることになる。即ち、この場合には前述の従来例と同様に、被テスト回路からの出力 $D_0 \sim D_3$ を全て同時に圧縮する出力応答圧縮器が実現される。

次に制御信号C2を論理“0”のレベルに設定すると、ANDゲート10、11、12は被テスト回路からの出力 D_1 、 D_2 、 D_3 にかかわらず論理“0”を出力するので、フリップフロップ2、3、4は前段のフリップフロップ1、2、3の値がシフトされるだけとなる。そしてこの時制御信号C1は被テスト回路からの出力 D_0 、 D_1 、 D_2 、 D_3 のうちのいずれか1つを選択する様にマルチプレクサ13を制御するので、マルチプレクサ13により選択的に出力された被テスト回路からの出力のみが、出力応答圧縮器に入力されることになる。即ち、この場合には、被テスト回路からの出力 $D_0 \sim D_3$ のうちの任意の1つを圧縮する出力応答圧縮器が実現される。

この様に、1つの出力応答圧縮器に2つのモードをもたせることにより、従来例で得られる故障

に関する情報より多くの情報が得られる。即ち、最初に被テスト回路の出力 $D_0 \sim D_3$ を全て同時に圧縮するモードで動作させ、被テスト回路のGO/NOGOテストを行なう。そして、不良と判定された被テスト回路にのみ、1つの出力だけを選択的に圧縮するモードを適用し、被テスト回路の出力を順次本発明による出力応答圧縮器に入力し、テストすることにより、どの出力が不正出力を出したのかを容易に検出することができるからである。

1つの出力のみを圧縮できるモードでは入力パターンの何パターン目で故障が検出されたかを検出することもでき、従来例にくらべて、被テスト回路の故障箇所に関する情報が格段に増加することになる。しかも極めてわずかな論理ゲートの追加で実現できる。

〔発明の効果〕

本発明によれば、以上述べた様な構成を採用することにより、従来例にくらべより詳細な故障情報が得られるようになる。

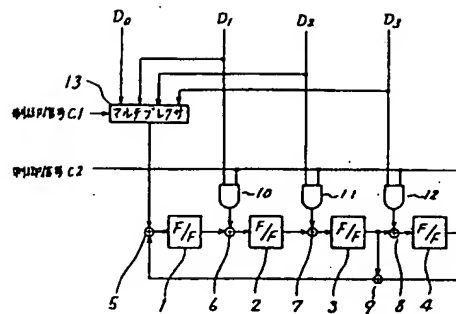
図面の簡単な説明

第1図は本発明の一実施例を示す構成図であり、第2図は従来例を示す構成図である。

D_0 、 D_1 、 D_2 、 D_3 …被テスト回路からの出力、1、2、3、4、21、22、23、24…フリップフロップ、5、6、7、8、9、25、26、27、28、29…排他的論理和回路、10、11、12、…ANDゲート、13…マルチプレクサ、C1、C2…制御信号。

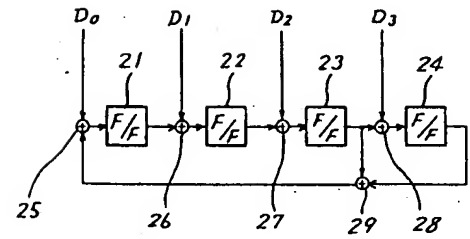
代理人 井理士 内 原 晋

特開平1-239486 (4)



1~4 : フリップ・フロップ 10~12 : ANDゲート
 5~8 : 排他的論理和回路
 D₀~D₃ : 被テスト回路からの出力

第 1 図



21~24 : フリップ・フロップ
 25~29 : 排他的論理和回路
 D₀~D₃ : 被テスト回路からの出力

第 2 図

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-239486

(43)Date of publication of application : 25.09.1989

(51)Int.Cl.

G01R 31/28

G06F 11/22

(21)Application number : 63-066500

(71)Applicant : NEC CORP

(22)Date of filing : 18.03.1988

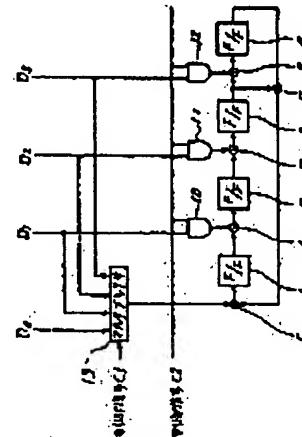
(72)Inventor : YOSHIDA MASAOKI

(54) OUTPUT RESPONSE COMPRESSOR

(57)Abstract:

PURPOSE: To obtain fault information more in detail than before by providing a selecting means which inputs the output response from one output line to the initial stage of a multi-input line type feedback shift register selectively.

CONSTITUTION: When a control signal C2 is set to a logical level '0', AND gates 10, 11, and 12 output logic '0' regardless of outputs D1, D2 and D3 from a circuit to be tested, so the values of flip-flops 1, 2, and 3 of front stages are only shifted to the flip-flops 2, 3, and 4. At this time, a control signal C1 controls a multiplexer 13 to input only the output of the circuit to the output response compressor so that only one of the outputs D0, D1, D2 and D3 of the circuit is selected. Namely, the output response compressor which compresses one optional output among D0WD3 from the circuit is realized in this case.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office